

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97676

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78  
21/336  
21/8238  
27/092

H 0 1 L 29/78  
27/08

3 0 1 Z  
3 2 1 A

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号

特願平9-250577

(22) 出願日

平成9年(1997) 9月16日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 小池 典雄

大阪府高槻市幸町1番1号 松下電子工業株式会社内

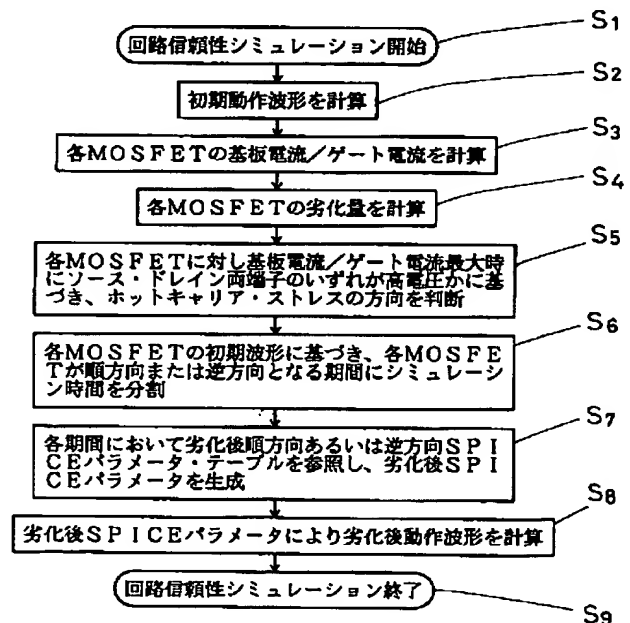
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体集積回路の信頼性シミュレーション方法

(57) 【要約】

【課題】 双方向ホットキャリア・ストレスが印加されるMOSFETを含む回路に対しても劣化後の回路動作のシミュレーションができる半導体集積回路の信頼性シミュレーション方法を得る。

【解決手段】 半導体集積回路のMOSFETに対し基板電流またはゲート電流最大時にソースとドレインのいずれの端子が高電圧かに基づき、ホットキャリア・ストレスの方向を判断し、MOSFETが順方向または逆方向となる期間にシミュレーション時間を分割し、各期間において劣化後順方向または逆方向のSPICEパラメータ・テーブルを参照して劣化後SPICEパラメータを生成し、劣化後SPICEパラメータを用いて劣化後動作波形を計算するものである。



## 【特許請求の範囲】

【請求項1】 半導体集積回路のMOSFETに対し基板電流またはゲート電流最大時にソースとドレインのいずれの端子が高電圧かに基づき、ホットキャリア・ストレスの方向を判断する過程と、  
前記MOSFETが順方向となる期間と逆方向となる期間にシミュレーション時間を分割し、前記順方向となる期間においては劣化後順方向SPICEパラメータ・テーブルを参照し、前記逆方向となる期間においては劣化後逆方向SPICEパラメータ・テーブルを参照して劣化後SPICEパラメータを生成する過程と、  
前記劣化後SPICEパラメータを用いて劣化後動作波形を計算する過程とを含む半導体集積回路の信頼性シミュレーション方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、半導体集積回路の信頼性シミュレーション方法に関するものである。

## 【0002】

【従来の技術】 半導体集積回路装置の高密度化、高集積化、微細化の進行に伴い、それを構成するMOSトランジスタの寸法の微細化は著しい。このMOSトランジスタの寸法の微細化、その中でもチャンネル長の微細化によりMOSトランジスタの信頼性上の大きな問題であるホットキャリア劣化現象が年々重要な問題となってきた。このホットキャリア劣化現象は、MOSトランジスタのドレイン端において高電界により高エネルギーの電子・正孔（以下「ホットキャリア」と呼ぶ）が発生し、このホットキャリアがゲート酸化膜の特性を劣化させるものである。このホットキャリア劣化は、通常P型MOSトランジスタよりもN型MOSトランジスタの方が顕著であり、N型MOSトランジスタの場合はドレイン電流が時間とともに減少する。その結果、回路の遅延時間が時間とともに増大するという劣化を引き起こす。この遅延時間の増大は、ある程度以上に増大すると、半導体集積回路内あるいは外部との信号の入出力動作のタイミングエラーを生じ、半導体集積回路が組み込まれているシステム全体の誤動作を引き起こす。

【0003】 このホットキャリア劣化は、従来MOSトランジスタに対しDC条件でのホットキャリア試験を行って信頼性評価を行い、このとき用いられるホットキャリア評価基準を満たすよう製造プロセスを最適化することにより、製品の信頼性を実現してきた。しかし、近年DC条件でのホットキャリア試験では、従来のホットキャリア評価基準を満たすことが困難になってきた。これに対し、近年半導体集積回路のホットキャリア劣化現象のシミュレーション（以下「回路信頼性シミュレーション」と呼ぶ）を行い、これにより設計時に製品の信頼性を実現する技術が登場してきた。回路信頼性シミュレーションとは、回路シミュレータSPICEにより計算さ

れる各トランジスタの各端子の電圧や電流の計算値をもとに、ホットキャリア寿命モデルと劣化後のSPICEパラメータを用いて、ホットキャリア劣化後の回路動作のシミュレーションを行うことである。代表的なシミュレータとして、米国カリフォルニア大学バークレー校が開発したBERT（R.H.Tu他、"Berkeley reliability tools-BERT", IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 12, NO. 10, 1993.）や、その市販版BTABERTがある。この回路信頼性シミュレーション技術を用いて、半導体集積回路中の劣化・故障箇所を予測し設計時に対策することによって、信頼性の作り込みあるいは信頼性設計が可能となる。

【0004】 この信頼性シミュレーション技術を応用した従来の半導体集積回路の信頼性シミュレーション方法を図面を参照しながら説明する。図5は従来の半導体集積回路の信頼性シミュレーション方法を示したフローチャートである。図5において、「回路信頼性シミュレーション開始」（ステップS11）、「初期動作波形を計算」（ステップS12）、「各MOSFETの基板電流／ゲート電流を計算」（ステップS13）、「各MOSFETの劣化量を計算」（ステップS14）、「劣化後順方向SPICEパラメータ・テーブルを参照し、劣化後SPICEパラメータを生成」（ステップS15）を行う。このように、回路信頼性シミュレータにより生成された「劣化後SPICEパラメータにより劣化後動作波形を計算」（ステップS16）し、「回路信頼性シミュレーション終了」（ステップS17）する。以上の手順に従い半導体集積回路の信頼性シミュレーションが行われていた。次に、上記各手順について詳細に説明する。

【0005】 「初期動作波形を計算」（ステップS12）では、回路信頼性シミュレーションの際に、初期の回路動作を回路シミュレータによりシミュレーションする。これは、回路中で各トランジスタが受けるホットキャリア・ストレスの強度を計算するために、例えば回路信頼性シミュレータBERTが回路シミュレータSPICEを起動して実行する。この手順の結果、初期の回路動作が計算されるとともに、回路中の各MOSFETの各端子に印加される電圧・電流が計算される。

【0006】 「各MOSFETの基板電流／ゲート電流を計算」（ステップS13）では、回路信頼性シミュレータBERTが「初期動作波形を計算」（ステップS12）の際に回路シミュレータSPICEにより計算された各MOSFETの各端子の電圧や電流の計算値をもとに、基板電流／ゲート電流モデルを用いて各MOSFETの基板電流／ゲート電流を計算する。このとき、NMOSFETに対しては基板電流を計算し、PMOSFETに対しては主としてゲート電流を計算する。

【0007】 「各MOSFETの劣化量を計算」（ステップS14）では、各MOSFETの劣化量を基板電流／

ゲート電流波形に沿って各点における単位時間当りの劣化量を計算し、この劣化量を時間について積分してある回路動作時間後の劣化量を算出する。このとき、NMOSFETに対しては劣化量を基板電流の関数として表すホットキャリア寿命モデルが使用され、PMOSFETに対しては劣化量をゲート電流の関数として表すホットキャリア寿命モデルが使用される。

【0008】「劣化後順方向SPICEパラメータ・テーブルを参照し、劣化後SPICEパラメータを生成」(ステップS15)では、各MOSFETの回路動作時間後の劣化後SPICEパラメータを、「各MOSFETの劣化量を計算」(ステップS14)の結果算出された各MOSFETの劣化量をもとに、あらかじめ用意された劣化後のSPICEパラメータを参照および補間して、各トランジスタ毎に回路動作時間後のSPICEパラメータを生成する。

【0009】ここで、順方向の意味について説明する。MOSFETのソース・ドレイン両端子のうち、電圧の絶対値が大きい方の端子をドレイン端子とする。通常MOSFETはソース端子とドレイン端子は対称な構造となっており、MOSFETのソース・ドレイン端子を入れ替えて測定してもほとんど同じ対称な特性を示す。しかし、ドレイン端子に高電圧のホットキャリア・ストレスを印加し、ドレイン近傍のゲート酸化膜に損傷を加えた後は、ソース・ドレインを入れ替えた場合の特性と、ソース・ドレインを入れ替えない場合の特性とが異なった非対称な特性となる。ソース・ドレインがホットキャリア・ストレス印加時と同一のときの特性を順方向特性、逆に入れ替えたときの特性を逆方向特性という。ドレイン電流の劣化を初めとするMOSFETのホットキャリア劣化は、動作領域が線形領域では順方向と逆方向の特性がほぼ同様な劣化を示すが、動作領域が飽和領域では逆方向特性が順方向特性よりも大幅に大きな劣化を示す。

【0010】通常のロジック回路では動作中に回路中のほとんどのMOSFETにおいてソース・ドレインの両端子のどちらかが常に高電圧であり、この結果MOSFETの順方向特性の劣化が回路動作の劣化として現れる。このため、回路信頼性シミュレータで劣化後SPICEパラメータを生成する際の劣化後SPICEパラメータ・テーブルには順方向特性の劣化後SPICEパラメータのみが用意されている。この劣化後順方向SPICEパラメータ・テーブルを参照し、劣化量に関して補間することにより回路中の各MOSFETの劣化後SPICEパラメータを生成する。

【0011】「劣化後SPICEパラメータにより劣化後動作波形を計算」(ステップS16)では、「劣化後順方向SPICEパラメータ・テーブルを参照し、劣化後SPICEパラメータを生成」(ステップS15)の手順において生成された劣化後SPICEパラメータを用い

て劣化後の回路動作シミュレーションを行い、劣化後動作波形を計算する。

【0012】

【発明が解決しようとする課題】しかし、従来の半導体集積回路の信頼性シミュレーション方法には以下の問題点があった。「劣化後順方向SPICEパラメータ・テーブルを参照し、劣化後SPICEパラメータを生成」(ステップS15)の手順において、ロジック回路中のMOSFETは順方向で動作しているものとして劣化後順方向SPICEパラメータ・テーブルを用意し、この劣化後順方向パラメータ・テーブルを参照して、回路中の各MOSFETの劣化後順方向パラメータを生成していた。

【0013】しかし、ロジック回路にはパストランジスタと呼ばれるMOSFETが使用されている。このパストランジスタは、回路中で信号波形のタイミングを取るために使用されており、ゲートのONのときにソース・ドレイン間を信号が通過する。このため、信号波形の立ち上がりと立ち下がりの際に応じてソース・ドレインの方向が頻繁に入れ替わる。このように、ソース・ドレインが頻繁に入れ替わるため、パストランジスタに印加されるホットキャリア・ストレスは双方向ホットキャリア・ストレスと呼ばれる。回路中には、パストランジスタ以外にも双方向ホットキャリア・ストレスが印加されるMOSFETが存在する可能性がある。双方向ホットキャリア・ストレスによる劣化後の特性は、ソース・ドレインの両方向にストレスが印加され損傷が加えられるため、劣化後順方向特性とはかなり異なった特性となる。従来、この双方向ストレスにおいてソース・ドレイン両端子の一方のストレスが支配的と見なせるか、またもし一方のストレスが支配的と見なせるならばどちらのストレスが支配的かを判断する手段がないという問題点があった。

【0014】また仮に、どちらか一方のストレスが支配的であると判明しても、双方向ホットキャリア・ストレスが印加されるMOSFETでは順方向と逆方向の特性が交互に現れるため、従来の技術における劣化後順方向SPICEパラメータのみを参照する方法では、双方向ホットキャリア・ストレスによるMOSFETのホットキャリア劣化と、それによる回路動作の劣化をシミュレーションできないという問題点があった。

【0015】この発明の目的は、双方向ホットキャリア・ストレスが印加されるMOSFETを含む回路に対しても劣化後の回路動作のシミュレーションができる半導体集積回路の信頼性シミュレーション方法を提供することである。

【0016】

【課題を解決するための手段】この発明の半導体集積回路の信頼性シミュレーション方法は、半導体集積回路のMOSFETに対し基板電流またはゲート電流最大時に

ソースとドレインのいずれの端子が高電圧かに基づき、ホットキャリア・ストレスの方向を判断し、MOSFETが順方向となる期間と逆方向となる期間にシミュレーション時間を分割し、順方向となる期間においては劣化後順方向SPICEパラメータ・テーブルを参照し、逆方向となる期間においては劣化後逆方向SPICEパラメータ・テーブルを参照して劣化後SPICEパラメータを生成し、劣化後SPICEパラメータを用いて劣化後動作波形を計算するものである。

【0017】この発明の半導体集積回路の信頼性シミュレーション方法によると、回路中の各MOSFETが各期間において順方向または逆方向のいずれで動作しているかを判断し、この動作方向の判断に基づき双方向ホットキャリア・ストレスを受けるMOSFETを含む回路の劣化後の回路動作をシミュレーションできる。すなわち、回路中で双方向ホットキャリア・ストレスを受けるMOSFETのストレスは、ほとんどの場合、ソース・ドレイン両端子のうち一方の端子のストレスが他方の端子のストレスよりも大幅に大きい。このため、回路中で双方向ホットキャリア・ストレスを受けるMOSFETは、ストレスが強い方の端子をホットキャリア・ストレス印加中のドレインとする一方方向のホットキャリア・ストレスと見なすことができる。NMOSFETの場合はホットキャリア・ストレス強度と基板電流発生量、PMOSFETの場合はホットキャリア・ストレス強度と基板電流またはゲート電流発生量が強い正の相関を持っている。このため、NMOSFETの場合は、基板電流発生量が最大となる時点において、ソース・ドレイン両端子のいずれの電圧が高いかに基づいて、ストレスが強い方の端子を判断できる。また、PMOSFETの場合は、基板電流またはゲート電流発生量が最大となる時点において、ソース・ドレイン両端子のいずれの電圧の絶対値が大きいかに基づいて、ストレスが強い方の端子を判断できる。このようにして、ホットキャリア・ストレスが強い方の端子が明らかになり、この端子が一方方向ホットキャリア・ストレスとして近似された双方向ホットキャリア・ストレスにおけるドレイン端子、反対の端子をソース端子と判断できる。

【0018】次に、双方向ホットキャリア・ストレスのドレイン端子が回路波形においてソース端子に対して高電圧か否かに基づき、回路動作中の各時点において各MOSFETが順方向か逆方向かを判断できる。この判断に基づき、各MOSFETが順方向または逆方向となる期間にシミュレーション時間を分割すれば、各期間毎に予め用意された劣化後順方向または逆方向SPICEパラメータ・テーブルを選択して参照し、各期間における順方向または逆方向の劣化後特性に応じた劣化後SPICEパラメータを生成できる。この劣化後SPICEパラメータを用いて最終的に劣化後動作波形を計算できる。

【0019】以上の双方向ホットキャリア劣化のシミュレーションは、双方向ホットキャリア・ストレスを一方方向ホットキャリア・ストレスにより近似し、基板電流／ゲート電流のシミュレーション結果に基づき、ホットキャリア・ストレスにおけるドレイン端子を判断することにより実現可能となった。

#### 【0020】

【発明の実施の形態】この発明の一実施の形態を図1ないし図4に基づいて詳細に説明する。図1は半導体集積回路の信頼性シミュレーション方法を示したフローチャートである。図1において、「回路信頼性シミュレーション開始」(ステップS<sub>1</sub>)、「初期動作波形を計算」(ステップS<sub>2</sub>)、「各MOSFETの基板電流／ゲート電流を計算」(ステップS<sub>3</sub>)、「各MOSFETの劣化量を計算」(ステップS<sub>4</sub>)、「各MOSFETに対し基板電流／ゲート電流最大時にソース・ドレイン両端子のいずれが高電圧かに基づき、ホットキャリア・ストレスの方向を判断」(ステップS<sub>5</sub>)、「各MOSFETの初期波形に基づき、各MOSFETが順方向または逆方向となる期間にシミュレーション時間を分割」(ステップS<sub>6</sub>)、「各期間において劣化後順方向あるいは逆方向SPICEパラメータ・テーブルを参照し、劣化後SPICEパラメータを生成」(ステップS<sub>7</sub>)、「劣化後SPICEパラメータにより劣化後動作波形を計算」(ステップS<sub>8</sub>)、「回路信頼性シミュレーション終了」(ステップS<sub>9</sub>)の手順に従い、双方向ホットキャリア・ストレスが印加されるMOSFETを含む回路の回路信頼性シミュレーションを実現する。以下、この手順を双方向ホットキャリア・ストレスが印加されるパストランジスタを含むスタティックRAMメモリセルに適用した例を用いて詳細に説明する。

【0021】図2はスタティックRAMメモリセルの回路図である。この回路について説明する。bit\_wとxbit\_wは一对の書き込みビット線、bit\_rは読み出しビット線を表している。また、word\_wは書き込みワード線、word\_rと、nword\_rは一对の読み出しワード線を表している。V<sub>dd</sub>は電源電圧、GNDはグラウンドである。

【0022】このスタティックRAMメモリセルは、NMOSFETが6個、PMOSFETが4個の計10個のMOSFETにより構成されている。各MOSFETに名前が付けられており、M1, M2, M4, M9, M11, M13がNMOSFET、M3, M8, M10, M12がPMOSFETである。M1, M2が書き込みビット線のデータをメモリセルに書き込むNMOSパストランジスタ、M3, M4がメモリセルのデータを読み出しビット線に読み出すCMOSパストランジスタである。M8, M9とM10, M11はCMOSインバータ2個よりなるフリップ・フロップ回路を構成しており、M12, M13はCMOSインバータよりなるメモリセ

ルの出力バッファとなっている。

【0023】一対のワード線  $word\_r, nword\_r$  は今回常にON状態で動作させる。このため、M3, M4よりなるCMOSパストランジスタは常に導通状態にあり、メモリセル内のデータが読み出しビット線  $bit\_r$  に出力される。メモリセルに書き込みビット線  $bit\_w$  からLOWおよびHIGHのデータを交互に書き込む動作をする際の回路の信頼性シミュレーションを行う。HIGHデータを書き込みビット線  $bit\_w$  からメモリセルに書き込む時点から、データが読み出しビット線  $bit\_r$  に現れる時点までの時間を、このメモリセルのHIGH書き込み時遅延時間  $t_{dh}$  とし、その劣化量を  $\Delta t_{dh}$  とする。また、LOWデータを書き込みビット線  $bit\_w$  からメモリセルに書き込む時点から、データが読み出しビット線  $bit\_r$  に現れる時点までの時間を、このメモリセルのLOW書き込み時遅延時間  $t_{dl}$  とし、その劣化量を  $\Delta t_{dl}$  とする。

【0024】図1における「初期動作波形を計算」(ステップS2)では、回路信頼性シミュレーションの際に、スタティックRAMメモリセルの初期の回路動作を回路シミュレータによりシミュレーションする。これは、回路中で各トランジスタが受けるホットキャリア・ストレスの強度を計算するために、例えば回路信頼性シミュレータBERTが回路シミュレータSPICEを起動して実行する。この手順の結果、初期の回路動作が計算されるとともに、回路中の各MOSFETの各端子に印加される電圧・電流が計算される。

【0025】「各MOSFETの基板電流/ゲート電流を計算」(ステップS3)では、回路信頼性シミュレータが、「初期動作波形を計算」(ステップS2)の際に回路シミュレータSPICEにより計算されたスタティックRAMメモリセル中の各MOSFETの各端子の電圧や電流の計算値をもとに、基板電流/ゲート電流モデルを用いて各MOSFETの基板電流/ゲート電流を計算する。このとき、NMOSFETに対しては基板電流を計算し、PMOSFETに対しては主としてゲート電流を計算する。

【0026】「各MOSFETの劣化量を計算」(ステップS4)では、スタティックRAMメモリセル中の各MOSFETの劣化量を基板電流/ゲート電流の関数として表すホットキャリア寿命モデルを用い、各MOSFETの基板電流/ゲート電流波形に沿って各点における単位時間当りの劣化量を計算し、この劣化量を時間について積分して最終的な劣化量を算出する。このとき、NMOSFETに対しては劣化量を基板電流の関数として表すホットキャリア寿命モデルが使用され、PMOSFETに対しては劣化量をゲート電圧の関数として表すホットキャリア寿命モデルが使用される。最終的な劣化量を算出するための回路動作時間としては、例えば通常の半導体集積回路の信頼性保証期間である10年間が選択

される。

【0027】「各MOSFETに対し基板電流/ゲート電流最大時にソース・ドレイン両端子のいずれが高電圧かに基づき、ホットキャリア・ストレスの方向を判断」(ステップS5)では、「初期動作波形を計算」(ステップS2)の際に求められた各MOSFETの動作波形と、「各MOSFETの基板電流/ゲート電流を計算」(ステップS3)の際に求められた各MOSFETの基板電流/ゲート電流波形をもとにして、ソース・ドレイン端子の両端子のいずれのホットキャリア・ストレスが強いかを判断し、ホットキャリア・ストレスが強い方の端子をホットキャリア・ストレスに関するドレイン端子と判断する。この「各MOSFETに対し基板電流/ゲート電流最大時にソース・ドレイン両端子のいずれが高電圧かに基づき、ホットキャリア・ストレスの方向を判断」(ステップS5)の手順を具体例を用いてさらに詳細に説明する。

【0028】図3は、図2に示すスタティックRAMメモリセル中のNMOSパストランジスタM1のソース・ドレイン電圧と基板電流波形のシミュレーション結果である。ここで、パストランジスタM1のソース端子とドレイン端子は、最初は仮に選択してある。図3(a)は、ソース電圧  $V_s$  とドレイン電圧  $V_d$  の波形を示している。横軸はシミュレーション時間である。ソース電圧  $V_s$  とドレイン電圧  $V_d$  のうち高電圧となる方が、時間の経過とともに変化している。図3(b)には、図3(a)とシミュレーション時間をそろえた各時点における単位ゲート幅W当りの基板電流発生量  $I_{sub}$  の値  $I_{sub}/W$  の波形が記載されている。NMOSFETにおいて単位ゲート幅当りの基板電流発生量は、ホットキャリア・ストレス強度と正の相関があり、単位時間当りのNMOSFET劣化量は  $I_{sub}/W$  の約3乗に比例する。

【0029】図3(b)に示す基板電流波形と、図3(a)に示すソース・ドレイン電圧波形を比較すると、ソース・ドレインのいずれが高電圧の場合にも、基板電流の発生ピークが見られ、このことからパストランジスタM1には双方向ホットキャリア・ストレスが印加されていることがわかる。しかし、各基板電流ピークの大きさを比較すると、ピークの大きさには数桁の違いが見られる。このピークの大きさの数桁の違いは、各基板電流ピーク時にパストランジスタM1に印加されるホットキャリア・ストレスに桁違いの差があることを示している。特に、時間25ns前後に見られるピークは、他のピークと比較して3~4桁も大きい。この時点でのソース電圧  $V_s$  とドレイン電圧  $V_d$  を図3(a)から確認すると、基板電流最大時はドレイン電圧  $V_d$  の方がソース電圧  $V_s$  よりも大きいことがわかる。これにより、パストランジスタM1においては、仮に選択されたドレイン端子が、双方向ホットキャリア・ストレスに関してもまた

ドレイン端子となっていると判断できる。

【0030】図1の「各MOSFETの初期波形に基づき、各MOSFETが順方向または逆方向となる期間にシミュレーション時間を分割」(ステップS<sub>6</sub>)では、先に判断された各トランジスタのホットキャリア・ストレスの方向性に基づき、回路動作の各時点で各パストランジスタが順方向と逆方向のいずれで動作しているかを判断する。そして、各トランジスタが順方向かあるいは逆方向で動作している期間にシミュレーション時間を分割する。

【0031】この「各MOSFETの初期波形に基づき、各MOSFETが順方向または逆方向となる期間にシミュレーション時間を分割」(ステップS<sub>6</sub>)をパストランジスタM1の場合を例として具体的に説明する。パストランジスタM1においては、先の「各MOSFETに対し基板電流/ゲート電流最大時にソース・ドレイン両端子のいずれが高電圧かに基づき、ホットキャリア・ストレスの方向を判断」(ステップS<sub>5</sub>)において、仮に選択されたドレイン端子に一方のホットキャリア・ストレスが印加されているというホットキャリア・ストレスの方向性が得られる。この方向性を元に、図3(a)に示すソース・ドレイン電圧波形からソース電圧とドレイン電圧のいずれが高電圧になるかに基づいて順

方向と逆方向のいずれで動作しているかを判断する。ドレイン電圧がソース電圧よりも高電圧となる期間においてはパストランジスタM1は順方向で動作している。このパストランジスタM1が順方向となる期間は、図3

(a)における時間12ns前後から時間27ns前後までの期間、および時間41ns以降の期間である。図3(a)に示す時間50nsまでにおいては、それ以外の期間はソース電圧の方がドレイン電圧よりも高電圧となる。すなわち、パストランジスタM1が逆方向となる期間である。この様にして、時間をパストランジスタM1が順方向となる期間と逆方向となる期間に分割する。同様の手順を他の各トランジスタに対しても実施して、時間を各トランジスタが順方向となる期間および逆方向となる期間に分割する。

【0032】この方法により、図2に示すスタティックRAM回路中のパストランジスタの動作方向を調べると、結果としてメモリセルにLOWデータを書き込むとき(時間25ns前後)と、HIGHデータを書き込むとき(時間40ns前後)で各パストランジスタの動作方向は異なり、表1に示すようにパストランジスタM1、M2、M4の動作方向は変化する。

【0033】

【表1】

パストランジスタ	LOW書き込み時	HIGH書き込み時
M1	順方向	逆方向
M2	逆方向	順方向
M4	順方向	逆方向

【0034】以下、この各期間のパストランジスタの方向性に基づいて遅延時間劣化のシミュレーションが可能となる。「各期間において劣化後順方向あるいは逆方向SPICEパラメータ・テーブルを参照し、劣化後SPICEパラメータを生成」(ステップS<sub>7</sub>)では、各MOSFETの10年間回路動作後の劣化後SPICEパラメータを、「各MOSFETの劣化量を計算」(ステップS<sub>4</sub>)の結果算出された各MOSFETの劣化量をもとに、あらかじめ用意された劣化後のSPICEパラメータを参照および補間して各トランジスタ毎に回路動作時間後のSPICEパラメータを生成する。このとき、各MOSFETが順方向あるいは逆方向となる期間毎に各MOSFETの方向性に応じて順方向あるいは逆方向SPICEパラメータ・テーブルを参照し劣化後SPICEパラメータを生成する。この逆方向SPICEパラメータ・テーブルは、劣化後SPICEパラメータ抽出の際に、トランジスタに一方のホットキャリア・ストレスを印加して特性を劣化させていく過程で、順方向特性から従来の順方向パラメータを抽出するのと同様に、同一トランジスタの逆方向特性から抽出する。シミュレーションの際には、あらかじめ従来の順方向パラメ

ータ・テーブルを用意しておくのと同様に、新規な構成要素となる逆方向パラメータ・テーブルを用意しておく。このため、劣化の方向性が劣化後SPICEパラメータに正しく反映される。

【0035】「劣化後SPICEパラメータにより劣化後動作波形を計算」(ステップS<sub>8</sub>)では、先の手順で得られた劣化後SPICEパラメータを用いて回路動作時間後、すなわち劣化後の回路動作をシミュレーションする。図4にシミュレーション結果の例を示す。図4は、図2に示すスタティックRAMメモリセルを通常の使用条件よりも高い電圧で動作させた場合の遅延時間劣化の時間変化を示している。横軸は動作時間、縦軸は遅延時間劣化量である。 $\Delta t_{dl}$ はLOW書き込み時の遅延時間劣化量、 $\Delta t_{dh}$ はHIGH書き込み時の遅延時間劣化量を示している。このように、各MOSFETの動作方向をLOW書き込み時とHIGH書き込み時に対し区別してシミュレーションが可能であることから、LOW書き込み時の遅延時間劣化量 $\Delta t_{dl}$ と、HIGH書き込み時の遅延時間劣化量 $\Delta t_{dh}$ の経時変化を明確に区別したシミュレーションを実現できる。

【0036】このように構成された半導体集積回路の信

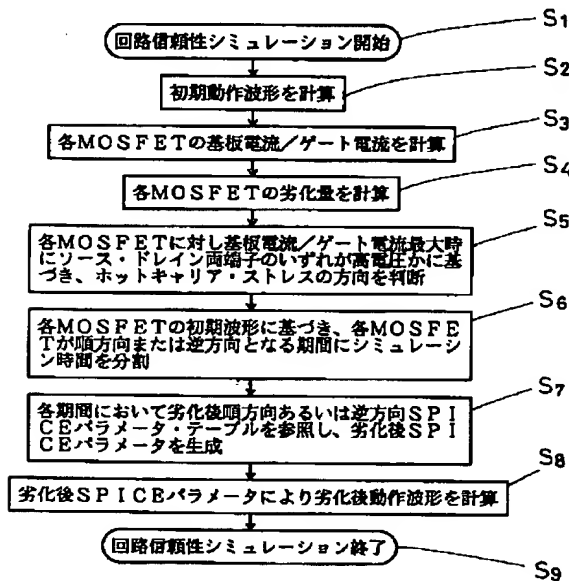
信頼性シミュレーション方法によると、回路中の各MOSFETが各期間において順方向または逆方向のいずれで動作してるかを判断し、この動作方向の判断に基づき双方向ホットキャリア・ストレスを受けるMOSFETを含む回路の劣化後の回路動作をシミュレーションできる。

【0037】また、このシミュレーション方法は、全て自動的に実行される。このため、このシミュレーション結果を利用して、設計時に半導体集積回路の信頼性を向上させることが容易にできる。

【0038】

【発明の効果】この発明の半導体集積回路の信頼性シミュレーション方法によると、回路中の各MOSFETが各期間において順方向または逆方向のいずれで動作してるかを判断し、この動作方向の判断に基づき双方向ホットキャリア・ストレスを受けるMOSFETを含む回路の劣化後の回路動作をシミュレーションできる。このシミュレーション結果を利用して、設計時に半導体集積回路の信頼性を向上させることが容易にできる。この結果、高信頼性の半導体集積回路を短期間で市場に供給できる。

【図 1】



【図面の簡単な説明】

【図 1】この発明の一実施の形態における双方向ホットキャリア・ストレスを受けるMOSFETを含む半導体集積回路の信頼性シミュレーション方法のフローチャートである。

【図 2】この発明の一実施の形態による信頼性シミュレーション方法を適用するスタティックRAMメモリセルの回路図である。

【図 3】この発明の一実施の形態による信頼性シミュレーション方法におけるホットキャリア劣化の方向性を判断する例を示すバストラジスタのソース・ドレイン波形および基板電流波形図である。

【図 4】この発明の一実施の形態による信頼性シミュレーション方法における遅延時間劣化量の経時変化のシミュレーション結果を示すグラフである。

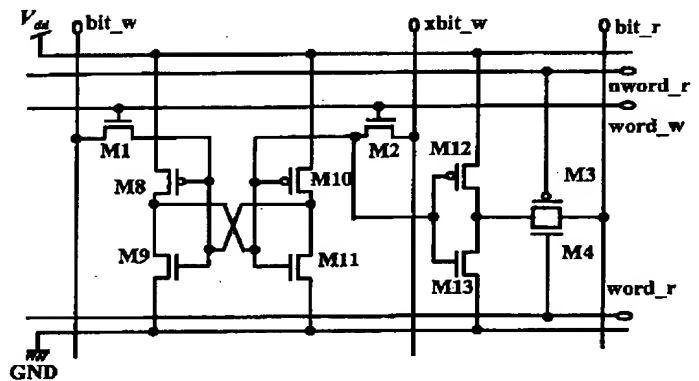
【図 5】従来例における半導体集積回路の信頼性シミュレーション方法のフローチャートである。

【符号の説明】

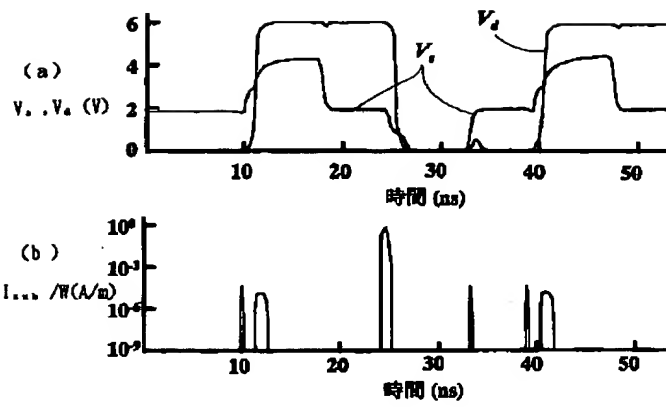
M1, M2, M4, M9, M11, M13 NMOSトランジスタ

M3, M8, M10, M12 PMOSトランジスタ

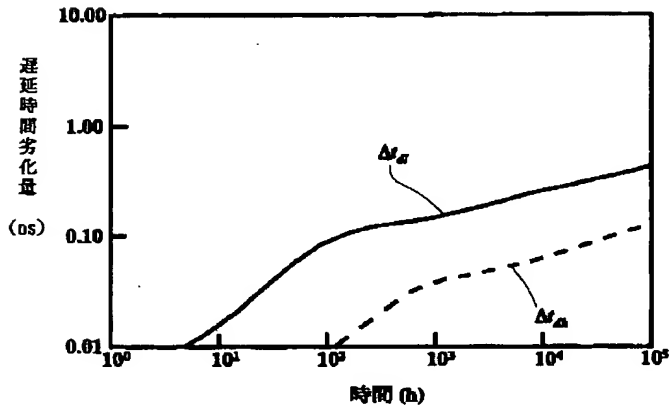
【図 2】



【図3】



【図4】



【図5】

